

PAT-NO: JP408017962A

DOCUMENT-IDENTIFIER: JP 08017962 A

TITLE: SEMICONDUCTOR DEVICE AND PACKAGE

PUBN-DATE: January 19, 1996

INVENTOR-INFORMATION:

NAME

WATANABE, SHUJI

DAIKU, HIROSHI

KAWADA, RON

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP06152124

APPL-DATE: July 4, 1994

INT-CL (IPC): H01L023/12, H01L027/00

ABSTRACT:

PURPOSE: To enable a semiconductor device and package comprising junctioned semiconductor substrates in different materials to be actuated without fail causing no warping between heat cycles.

CONSTITUTION: The semiconductor device is composed of the first semiconductor substrate 12 formed of electronic parts, the second semiconductor substrate 14 formed differently from the first semiconductor substrate 12 fixed on one surface of the first semiconductor substrate 12 and a supporting substrate 16 fixed on the other surface of the first semiconductor substrate 12. On the other hand, the first semiconductor substrate 12 is made thinner than the second semiconductor substrate 14 and the supporting substrate 16 while the supporting substrate 16 is formed of the material in the thermal expansion coefficient approximate to that of the second semiconductor substrate 14 than that of the first semiconductor substrate 12.

COPYRIGHT: (C)1996,JPO

CASE # 10/672,961

DERWENT- 1996-121859

ACC-NO:

DERWENT- 199613

WEEK:

COPYRIGHT 2009 DERWENT INFORMATION LTD

TITLE: Semiconductor device combining two differing substrates has one semiconductor substrate thinner than other substrate and support substrate formed with thermal expansion co-efficient near that of both semiconductor substrate, has no curvature due to heat cycles

PRIORITY-DATA: 1994JP-152124 (July 4, 1994)

PATENT-FAMILY:

PUB-NO PUB-DATE LANGUAGE

JP 08017962 A January 19, 1996 JA

APPLICATION-DATA:

PUB-NO APPL-DESCRIPTOR APPL-NO APPL-DATE

JP 08017962A N/A 1994JP-152124 July 4, 1994

INT-CL-  
CURRENT:

TYPE	IPC DATE
CIPP	H01 L 23/12 20060101
CIPS	H01 L 27/00 20060101

Title - TIX (1):

Semiconductor device combining two differing substrates has one semiconductor substrate thinner than other substrate and support substrate formed with thermal expansion co-efficient near that of both semiconductor substrate, has no curvature due to heat cycles

EPI Manual Codes - EMCD (1):

U11-C01J8; U13-D;

Standard Title Terms - TTX (1):

SEMICONDUCTOR DEVICE COMB TWO DIFFER SUBSTRATE ONE THINNER SUPPORT FORMING THERMAL EXPAND CO EFFICIENCY NO CURVE HEAT CYCLE

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-17962

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 23/12

27/00

識別記号

庁内整理番号

3 0 1 B

F I

技術表示箇所

H 0 1 L 23/ 12

J

審査請求 未請求 請求項の数7 O L (全 5 頁)

(21) 出願番号

特願平6-152124

(22) 出願日

平成6年(1994)7月4日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 渡辺 修治

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 大工 博

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 川田 諭

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

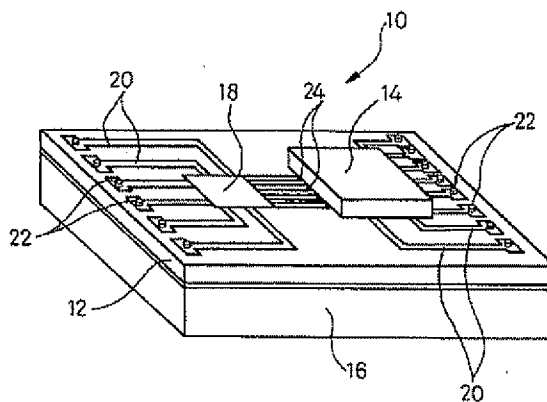
(54) 【発明の名称】 半導体装置及び半導体パッケージ

(57) 【要約】

【目的】 半導体装置及び半導体パッケージに関し、材料の異なった半導体基板を接合してなり、熱サイクルの間に反りのない、確実に動作できるようにすることを目的とする。

【構成】 電子部品を形成した第1の半導体基板12と、該第1の半導体基板とは別に形成され且つ該第1の半導体基板の一方の表面に取りつけられた第2の半導体基板14と、該第1の半導体基板の他方の表面に取りつけられた支持基板16とからなり、該第1の半導体基板は該第2の半導体基板及び該支持基板よりも薄くされ、該支持基板は熱膨張係数が該第1の半導体基板の熱膨張係数よりも該第2の半導体基板の熱膨張係数に近い材料で形成されている構成とする。

本発明の実施例を示す図



12…シリコン基板  
14…ガリウム砒素基板  
16…支持基板  
18…電子部品  
22, 24…バンプ

## 【特許請求の範囲】

【請求項1】 電子部品（18）を形成した第1の半導体基板（12）と、該第1の半導体基板とは別に形成され且つ該第1の半導体基板の一方の表面に取りつけられた第2の半導体基板（14）と、該第1の半導体基板の他方の表面に取りつけられた支持基板（16）とからなり、該第1の半導体基板は該第2の半導体基板及び該支持基板よりも薄くされ、該支持基板は熱膨張係数が該第1の半導体基板の熱膨張係数よりも該第2の半導体基板の熱膨張係数に近い材料で形成されていることを特徴とする半導体装置。

【請求項2】 該第1の半導体基板の厚さが50 $\mu$ mよりも小さいことを特徴とする請求項1に記載の半導体装置。

【請求項3】 該第1の半導体基板がシリコンで作られ、該第2の半導体基板ガリウム砒素で作られ、該支持基板がサファイアで作られることを特徴とする請求項1に記載の半導体装置。

【請求項4】 該第1の半導体基板と該第2の半導体基板とがそれぞれの金属バンプを当接することにより張り合わせられていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 請求項1に記載の半導体装置と、該半導体装置を取りつけるハウジングとからなる半導体パッケージ。

【請求項6】 該半導体装置が該支持基板を外側に向けて該ハウジングに取りつけられていることを特徴とする請求項5に記載の半導体パッケージ。

【請求項7】 該半導体装置と該ハウジングとがそれぞれの金属バンプを当接することにより接合されていることを特徴とする請求項6に記載の半導体パッケージ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は材料の異なった2つの半導体基板を組み合わせてなる半導体装置及び半導体パッケージに関する。

## 【0002】

【従来の技術】 材料の異なった2つの半導体基板を組み合わせて使用できれば、それぞれの半導体材料の特性を備えた半導体装置を得ることができる。例えば、シリコン基板を使用した半導体装置はメモリに適し、ガリウム砒素基板を使用した半導体装置はロジックに適している。シリコン基板を使用した半導体装置とガリウム砒素基板を使用した半導体装置とを組み合わせると1つの半導体装置を形成すれば、小型で高性能、高密度実装の半導体装置を得ることができる。

【0003】 このような半導体装置を得るため、特開平1-259580号公報は、シリコン基板の上にガリウム砒素の層をエピタキシャル成長させることにより、シリコン基板とガリウム砒素層とを組み合わせた半導体装

置を開示している。しかし、シリコン基板の上にガリウム砒素の層をエピタキシャル成長させるプロセスでは、非常に長い時間が必要であり、適切なプロセス条件を設定し、維持するのが難しいという問題がある。

【0004】 そこで、特開平4-116861号公報は、電子部品を形成したシリコン基板と、電子部品を形成したガリウム砒素基板とを別個に形成し、両基板をそれぞれの金属バンプを当接することにより張り合わせることを開示している。

## 【0005】

【発明が解決しようとする課題】 しかし、シリコン基板とガリウム砒素基板とは熱膨張係数が異なるために、両基板をそれぞれの金属バンプを当接することにより張り合わせて作動させると、熱サイクルの間に応力を受け、繰返し応力によってシリコン基板に反りが発生し、動作不良が生じるという問題点があった。そのような半導体装置を組み込んだ半導体パッケージでも同様の問題点があった。

【0006】 本発明の目的は、材料の異なった半導体基板を接合してなり、熱サイクルの間に反りのない、確実に動作できる半導体装置及び半導体パッケージを提供することである。

## 【0007】

【課題を解決するための手段】 本発明による半導体装置は、電子部品を形成した第1の半導体基板12と、該第1の半導体基板とは別に形成され且つ該第1の半導体基板の一方の表面に取りつけられた第2の半導体基板14と、該第1の半導体基板の他方の表面に取りつけられた支持基板16とからなり、該第1の半導体基板は該第2の半導体基板及び該支持基板よりも薄くされ、該支持基板は熱膨張係数が該第1の半導体基板の熱膨張係数よりも該第2の半導体基板の熱膨張係数に近い材料で形成されていることを特徴とするものである。

【0008】 また、本発明による半導体パッケージは、上記記載の半導体装置と、該半導体装置を取りつけるハウジングとからなることを特徴とするものである。

## 【0009】

【作用】 上記構成においては、例えば第1の半導体基板はシリコン基板からなり、第2の半導体基板はガリウム砒素基板からなる。第1の半導体基板と第2の半導体基板とは互いに接合され、支持基板が第1の半導体基板の第2の半導体基板とは反対側に接合される。つまり、第1の半導体基板は第2の半導体基板と支持基板との間にサンドイッチされる。支持基板の熱膨張係数は第2の半導体基板の熱膨張係数に近いので、支持基板と第2の半導体基板との間の熱膨張によるひずみの差が小さい。第1の半導体基板はこれらの間に挟まれ且つ非常に薄いので、熱サイクルの間に反りにくく、動作不良を生じない。

【0010】 本発明による上記半導体装置においては、

該第1の半導体基板の厚さが $50\mu\text{m}$ よりも小さいと、上記作用をよりよく発揮することができる。該第1の半導体基板がシリコンで作られ、該第2の半導体基板ガリウム砒素で作られ、該支持基板がサファイアで作られるのが、実施の上で好ましい。該第1の半導体基板と該第2の半導体基板とがそれぞれの金属バンプを当接することにより張り合わせられていると、製造及び高密度実装の上で望ましい。

【0011】本発明による上記半導体パッケージにおいては、該半導体装置が該支持基板を外側に向けて該ハウジングに取りつけられていると、半導体装置の保護並びに半導体装置とハウジングとの電気的な接続を行う上で好ましい。該半導体装置と該ハウジングとがそれぞれの金属バンプを当接することにより接合されていると、製造及び高密度実装の上で望ましい。

【0012】

【実施例】図1は、本発明の実施例の半導体装置10を示す図である。半導体装置10は第1の半導体基板であるシリコン基板12と、シリコン基板12とは別に形成され且つシリコン基板12の一方の表面に取りつけられた第2の半導体基板であるガリウム砒素基板14と、シリコン基板12の他方の表面に取りつけられた支持基板16とからなる。

【0013】シリコン基板12は例えばCMOS等の電子部品18、リード導体20、及びIn化合物や鉛半田等の金属バンプ22、24を有する。金属バンプ22はシリコン基板12の両端部に設けられている。金属バンプ24はシリコン基板12の中央部に設けられ、ガリウム砒素基板14の対応する金属バンプと当接するようになっている。

【0014】シリコン基板12はガリウム砒素基板14及び支持基板16よりも薄くされている。例えば、ガリウム砒素基板14の厚さは約 $500\mu\text{m}$ 、支持基板16の厚さは約 $300\mu\text{m}$ であるのに対して、シリコン基板12の厚さは $50\mu\text{m}$ 以下である。シリコン基板12の厚さは好ましくは $10\sim 20\mu\text{m}$ である。

【0015】さらに、支持基板16は熱膨張係数がシリコン基板12の熱膨張係数よりもガリウム砒素基板14の熱膨張係数に近い材料で形成されている。支持基板16は熱膨張係数が第2の半導体基板(ガリウム砒素基板14)の熱膨張係数にできるだけ近い材料で作られるのがより好ましい。実施例においては、第2の半導体基板がガリウム砒素基板14であるので、支持基板16はサファイアで作られる。支持基板16は例えばエポキシ接着剤によってシリコン基板12に全面的に接着される。

【0016】使用においては、ガリウム砒素基板14及び支持基板16の熱膨張係数は互いに近いので、ガリウム砒素基板14及び支持基板16との間の熱膨張によるひずみの差が小さい。シリコン基板12はガリウム砒素基板14と支持基板16との間にサンドイッチされてお

り、且つ非常に薄いので、熱サイクルの間に反りにくく、動作不良を生じない。

【0017】図2は、図1の半導体装置10を製造する工程を示す図である。(A)においては、シリコン基板12の原形であるシリコンウエハ12aの表面に、複数の半導体装置10に相当する数の電子部品18やリード導体20を形成する。8B)において、厚さ約 $500\mu\text{m}$ のシリコンウエハ12aの裏面を研削し、厚さ約 $10\sim 20\mu\text{m}$ のシリコン基板12にする。研削は、研磨やエッチング等によって実施する。

【0018】次に、(C)において、厚さ約 $300\mu\text{m}$ のサファイアの支持基板16をエポキシ樹脂によりシリコン基板12の裏面に接着する。陽極接合等の他の手段によって支持基板16をシリコン基板12に接合することもできる。次に、(D)において、電子部品18及びリード導体20の所定位置にリフトオフによって高さ矢 $910\sim 20\mu\text{m}$ の金属バンプ22、24を形成する。次に、(E)において、シリコン基板12及び支持基板16をダイシングし、所定の大きさにする。

【0019】シリコン基板12の製造と平行して、ガリウム砒素基板14が製造される。ガリウム砒素基板14には所定のロジック回路やリード導体(図示せず)が形成され、さらにロジック回路やリード導体の端部に金属バンプ26が形成された後、ガリウム砒素基板14も所定の大きさにダイシングされる。

【0020】次に、(F)において、ガリウム砒素基板14の金属バンプ26とシリコン基板12の金属バンプ24とを当接(フリップチップ接合)することによりガリウム砒素基板14をシリコン基板12に張り合わせる。この場合、シリコン基板12側から赤外線透過を行って金属バンプ24、26を観察しながら、金属バンプ24と金属バンプ26との位置合わせを行い、常温で加熱圧着、あるいは $120^{\circ}\text{C}$ 程度の温度で金属バンプ24、26を溶融接合する。こうして、図1の半導体装置10が得られる。

【0021】図3及び図4は図1の半導体装置10を含む半導体パッケージ40を示す図である。半導体パッケージ40は半導体装置10と、半導体装置10を取りつける絶縁ハウジング42とからなる。この半導体パッケージ40はピングリッドアレイ(PGA)と呼ばれるタイプのものであり、絶縁ハウジング42は上面周辺部に多数のピン44を有するとともに、中央部に段付きの凹部46を備え、段付きの凹部46の中間段面48に半導体装置10の金属バンプ22に相当する金属バンプ50を有する。絶縁ハウジング42内には、ピン44と金属バンプ50とを接続する導体パターン(図示せず)が設けられている。

【0022】半導体パッケージ40は支持基板16を外側に向けて絶縁ハウジング42の上段部内に挿入され、半導体装置10の金属バンプ22と絶縁ハウジング42

10

20

30

40

50

の金属バンプ50とを当接（フリップチップ接合）することにより半導体装置10を絶縁ハウジング42に取りつけるようになっている。このようにして、確実に動作できる高密度実装の半導体パッケージ40を得ることができる。なお、支持基板16の表面は半導体パッケージ40の外側に露出しているため、支持基板16の表面に例えばフィン構造等の冷却構造を設けることができる。

【0023】図5は同じくピングリッドアレイ（PGA）と呼ばれる半導体パッケージ40を示し、この例では、ピン44が絶縁ハウジング42の下面周辺部に設けられている。その他の構成は図4の半導体パッケージ40と同様である。従って、半導体パッケージ40は支持基板16を外側に向けて絶縁ハウジング42の上部部内に挿入され、半導体装置10の金属バンプ22と絶縁ハウジング42の金属バンプ50とを当接（フリップチップ接合）することにより半導体装置10を絶縁ハウジング42に取りつける。

【0024】図6はリードレスチップキャリア（LCP）と呼ばれる半導体パッケージ40を示している。この例では、端子50が絶縁ハウジング42の側面に設けられている。その他の構成は図4の半導体パッケージ40と同様である。従って、半導体パッケージ40は支持基板16を外側に向けて絶縁ハウジング42の上部部内に挿入され、半導体装置10の金属バンプ22と絶縁ハウジング42の金属バンプ50とを当接（フリップチップ接合）することにより半導体装置10を絶縁ハウジング42に取りつける。

【0025】なお、上記各実施例において、1つのシリコン基板12に対して複数のガリウム砒素基板14を取\*

\*りつけることができる。あるいは、第1の半導体基板に対して第2の半導体基板として複数の半導体基板を取りつけることができる。この場合、第2の半導体基板として複数の半導体基板は同種のもの、あるいは異種のものであってよい。このようにして、さらに実装度を高くすることができる。

#### 【0026】

【発明の効果】以上説明したように、本発明によれば、材料の異なった2つの半導体基板を組み合わせるなり、熱サイクルの間に反りのない、確実に動作できる半導体装置及び半導体パッケージを提供することであることができる。

#### 【図面の簡単な説明】

【図1】本発明の実施例の半導体装置を示す斜視図である。

【図2】図1の半導体装置を製造工程を示す図である。

【図3】図1の半導体装置を含む半導体パッケージを示す分解斜視図である。

【図4】図4の半導体パッケージを示す断面図である。

【図5】半導体パッケージの他の例を示す断面図である。

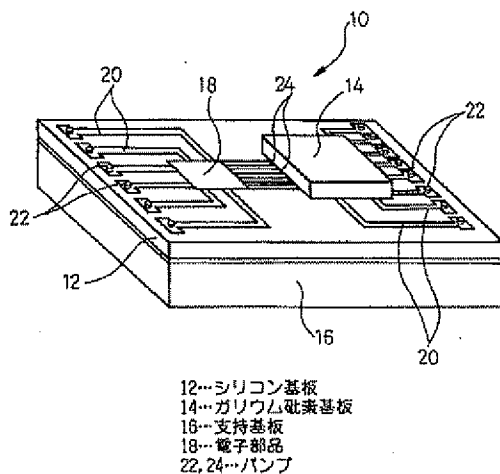
【図6】半導体パッケージのさらに他の例を示す断面図である。

#### 【符号の説明】

12…シリコン基板  
14…ガリウム砒素基板  
16…支持基板  
18…電子部品  
22、24…バンプ

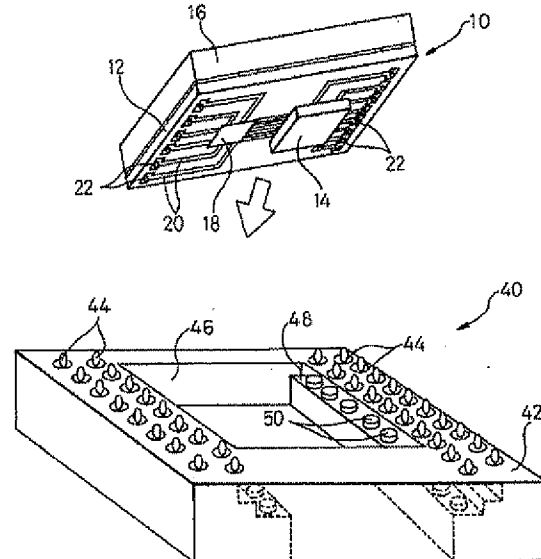
【図1】

本発明の実施例を示す図



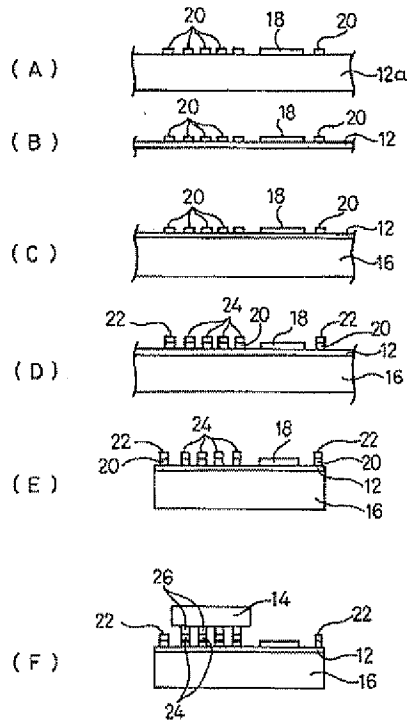
【図3】

図1の半導体装置を含む半導体パッケージを示す図



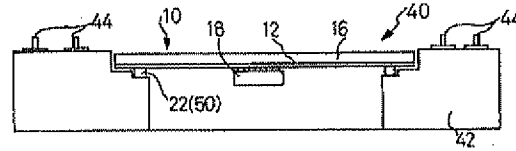
【図2】

図1の半導体装置の製造工程を示す図



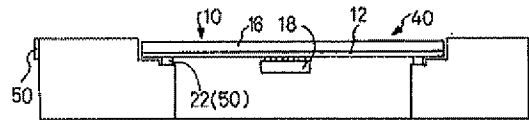
【図4】

半導体パッケージを示す図



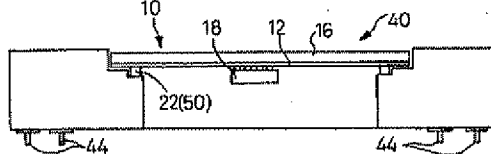
【図6】

半導体パッケージの他の例を示す図



【図5】

半導体パッケージの他の例を示す図





**Disclaimer:**

This English translation is produced by machine translation and may contain errors. The JPO, the INPIT, and those who drafted this document in the original language are not responsible for the result of the translation.

**Notes:**

1. Untranslatable words are replaced with asterisks (\*\*\*\*).
2. Texts in the figures are not translated and shown as it is.

Translated: 02:40:41 JST 04/23/2009

Dictionary: Last updated 04/14/2009 / Priority:

---

**FULL CONTENTS**

---

**[Claim(s)]**

[Claim 1]A semiconductor device which it has the following, and this 1st semiconductor substrate is made thinner than this 2nd semiconductor substrate and this supporting board, and is characterized by forming this supporting board with material with a thermal expansion coefficient near [ thermal expansion coefficient / of this 1st semiconductor substrate ] a thermal expansion coefficient of this 2nd semiconductor substrate.

The 1st semiconductor substrate (12) in which electronic parts (18) were formed.

The 2nd semiconductor substrate (14) that was formed aside from this 1st semiconductor substrate, and was attached to one surface of this 1st semiconductor substrate.

A supporting board (16) attached to the surface of another side of this 1st semiconductor substrate.

[Claim 2]The semiconductor device according to claim 1, wherein thickness of this 1st semiconductor substrate is smaller than 50 micrometers.

[Claim 3]this 1st semiconductor substrate is made from silicon -- this -- the semiconductor device according to claim 1, wherein it is made from the 2nd semiconductor substrate gallium arsenide and this supporting board is made from sapphire.

[Claim 4]The semiconductor device according to claim 1 currently pasting together when this 1st semiconductor substrate and this 2nd semiconductor substrate contact each metal bump.

[Claim 5]A semiconductor package comprising:

The semiconductor device according to claim 1.

Housing which attaches this semiconductor device.

[Claim 6]The semiconductor package according to claim 5, wherein this semiconductor device turns this supporting board outside and is attached to this housing.

[Claim 7]The semiconductor package according to claim 6 joining when this semiconductor device and this housing contact each metal bump.

---

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to the semiconductor device and semiconductor package which combine two semiconductor substrates from which material differed.

[0002]

[Description of the Prior Art]If it can be used combining two semiconductor substrates from which material differed, the semiconductor device provided with the characteristic of each semiconducting material can be obtained. For example, since the semiconductor device which uses a silicon substrate fits a memory and the semiconductor device which uses a gallium arsenide board fits logic, If one semiconductor device is formed combining the semiconductor device which uses a silicon substrate, and the semiconductor device which uses a gallium arsenide board, it is small and the semiconductor device of high performance and a high density package can be obtained.

[0003]In order to obtain such a semiconductor device, JP,H1-259580,A is indicating the semiconductor device which combined the silicon substrate and the gallium arsenide layer by growing the layer of gallium arsenide epitaxially on a silicon substrate. However, there is a problem that very long time is required on a silicon substrate in the process which grows the layer of gallium arsenide epitaxially, and it is difficult to set up and maintain relevant process conditions.

[0004]Then, JP,H4-116861,A forms separately the silicon substrate in which electronic parts were formed, and the gallium arsenide board in which electronic parts were formed, and is indicating pasting both substrates together by contacting each metal bump.

[0005]

[Problem to be solved by the invention]Since [ however, ] a thermal expansion coefficient differs between a silicon substrate and a gallium arsenide board, When both boards are pasted together and operated by contacting each metal bump, stress was received between thermal excursions, curvature occurred in the silicon substrate by cyclic stress, and there was a problem that a defect of operation arose. The semiconductor package incorporating such a semiconductor device also had the same problem.

[0006]The purpose of this invention is to provide a semiconductor device and a semiconductor package which join a semiconductor substrate from which material differed and do not have curvature between thermal excursions and which can operate certainly.

[0007]

[Means for solving problem]The 1st semiconductor substrate 12 in which a semiconductor device by this invention formed electronic parts, The 2nd semiconductor substrate 14 that was formed aside from this 1st semiconductor substrate, and was attached to one surface of this 1st semiconductor substrate, It consists of the supporting board 16 attached to the surface of another side of this 1st semiconductor substrate, This 1st semiconductor substrate is made thinner than this 2nd semiconductor substrate and this supporting board, and this supporting board is formed with material with a thermal expansion coefficient near [ thermal expansion coefficient / of this 1st semiconductor substrate ] a thermal expansion coefficient of this 2nd semiconductor substrate.

[0008]A semiconductor package of this invention comprises:

A semiconductor device of the above-mentioned description.

Housing which attaches this semiconductor device.

[0009]

[Function]In the above-mentioned composition, the 1st semiconductor substrate consists of silicon substrates, and the 2nd semiconductor substrate consists of a gallium arsenide board, for example. The 1st semiconductor substrate and 2nd semiconductor substrate of each other are joined, and, as for the 2nd semiconductor substrate of the 1st semiconductor substrate, a supporting board is joined to the opposite side. That is, the 1st semiconductor substrate is sandwiched between the 2nd semiconductor substrate and a supporting board. Since the thermal expansion coefficient of a supporting board is close to the thermal expansion coefficient of the 2nd semiconductor substrate, the difference of distortion by the thermal expansion between a supporting board and the 2nd semiconductor substrate is small. The 1st semiconductor substrate is pinched among these, and since it is very thin, does not curve easily between thermal excursions and does not produce a defect of operation.

[0010]In the above-mentioned semiconductor device by this invention, if the thickness of this 1st semiconductor substrate is smaller than 50 micrometers, the above-mentioned operation can be demonstrated better. this 1st semiconductor substrate is made from silicon -- this -- it is preferred on operation that it is made from the 2nd semiconductor substrate gallium arsenide, and this supporting board is made from sapphire. When this 1st semiconductor substrate and this 2nd semiconductor substrate contact each metal bump and it is pasted together, it is desirable on manufacture and a high density package.

[0011]In the above-mentioned semiconductor package by this invention, when this semiconductor device turns this supporting board outside, and is attached to this housing, and making protection of a semiconductor device and electric connection between a semiconductor device and housing, it is desirable. When this semiconductor device and this housing contact

each metal bump and it is joined, it is desirable on manufacture and a high density package.  
[0012]

[Working example] Drawing 1 is a figure showing the semiconductor device 10 of the work example of this invention. The gallium arsenide board 14 which is the 2nd semiconductor substrate by which the silicon substrate 12 whose semiconductor device 10 is the 1st semiconductor substrate, and the silicon substrate 12 were formed independently, and were attached to one surface of the silicon substrate 12, It consists of the supporting board 16 attached to the surface of another side of the silicon substrate 12.

[0013] The silicon substrate 12 has the electronic parts 18, the lead conductor 20 and In compounds, such as CMOS, and lead Hitoshi Handa's metal bumps 22 and 24. The metal bump 22 is formed in both ends of the silicon substrate 12. The metal bump 24 is formed in the central part of the silicon substrate 12, and contacts a metal bump to whom the gallium arsenide board 14 corresponds.

[0014] The silicon substrate 12 is made thinner than the gallium arsenide board 14 and the supporting board 16. For example, thickness of the silicon substrate 12 is 50 micrometers or less to thickness of about 500 micrometers and the supporting board 16 of thickness of the gallium arsenide board 14 being about 300 micrometers. Thickness of the silicon substrate 12 is 10-20 micrometers preferably.

[0015] The supporting board 16 is formed with material with a thermal expansion coefficient near [ thermal expansion coefficient / of the silicon substrate 12 ] a thermal expansion coefficient of the gallium arsenide board 14. As for the supporting board 16, it is more preferred that a thermal expansion coefficient is made from the material possible nearest to a thermal expansion coefficient of the 2nd semiconductor substrate (gallium arsenide board 14). In a work example, since the 2nd semiconductor substrate is the gallium arsenide board 14, the supporting board 16 is made from sapphire. The supporting board 16 is extensively pasted up on the silicon substrate 12 for example, by an epoxy adhesion agent.

[0016] In use, since the thermal expansion coefficient of the gallium arsenide board 14 and the supporting board 16 is mutually near, the difference of distortion by the thermal expansion between the gallium arsenide board 14 and the supporting board 16 is small. The silicon substrate 12 is sandwiched between the gallium arsenide board 14 and the supporting board 16, and since it is very thin, it is hard to curve between thermal excursions, and a defect of operation is not produced.

[0017] Drawing 2 is a figure showing the process of manufacturing the semiconductor device 10 of drawing 1. In (A), a number equivalent to two or more semiconductor devices 10 of the electronic parts 18 and the lead conductors 20 are formed in the surface of the silicon wafer 12a which is the original form of the silicon substrate 12. In 8B, the back of the silicon wafer 12a about 500 micrometers thick is ground, and it is made the about 10-20-micrometer-thick

silicon substrate 12. Grinding is carried out by polish, etching, etc.

[0018]Next, in (C), the supporting board 16 of sapphire about 300 micrometers thick is pasted up on the back of the silicon substrate 12 by an epoxy resin. The supporting board 16 is also joinable to the silicon substrate 12 by other means, such as anode junction. Next, in (D), the metal bumps 22 and 24 of 910-20 micrometers of height arrows are formed in the prescribed position of the electronic parts 18 and the lead conductor 20 by liftoff. Next, in (E), dicing of the silicon substrate 12 and the supporting board 16 is carried out, and it is made a predetermined size.

[0019]It is parallel to manufacture of the silicon substrate 12, and the gallium arsenide board 14 is manufactured. After a predetermined logic circuit and a lead conductor (not shown) are formed in the gallium arsenide board 14 and also the metal bump 26 is formed in a logic circuit or an end of a lead conductor, dicing also of the gallium arsenide board 14 is carried out to a predetermined size.

[0020]Next, in (F), the gallium arsenide board 14 is pasted together to the silicon substrate 12 by contacting the metal bump 26 of the gallium arsenide board 14, and the metal bump 24 of the silicon substrate 12 (flip chip junction). In this case, performing an infrared penetration from the silicon substrate 12 side, and observing the metal bumps 24 and 26, position \*\*\*\*\* of the metal bump 24 and the metal bump 26 is performed, and melting junction of the metal bumps 24 and 26 is carried out at temperature about heating sticking by pressure or 120 degreeC by normal temperature. In this way, the semiconductor device 10 of drawing 1 is obtained.

[0021]Drawing 3 and drawing 4 are the figures showing the semiconductor package 40 containing the semiconductor device 10 of drawing 1. The semiconductor package 40 consists of the semiconductor device 10 and the insulating housing 42 which attaches the semiconductor device 10. While this semiconductor package 40 is a thing of a type called a pin grid array (PGA) and the insulating housing 42 has many pins 44 in an upper surface circumference part, The central part is equipped with the crevice 46 with a stage, and it has the metal bump 50 who is equivalent to the middle stepped surface 48 of the crevice 46 with a stage at the metal bump 22 of the semiconductor device 10. In the insulating housing 42, a conductive pattern (not shown) which connects the pin 44 and the metal bump 50 is provided.

[0022]The semiconductor package 40 turns the supporting board 16 outside, and is inserted in the upper row circles of the insulating housing 42, The semiconductor device 10 is attached to the insulating housing 42 by contacting the metal bump 22 of the semiconductor device 10, and the metal bump 50 of the insulating housing 42 (flip chip junction). Thus, the semiconductor package 40 of the high density package which can operate certainly can be obtained. Since the surface of the supporting board 16 is exposed to the outside of the semiconductor package 40, cooling structures, such as for example, fin structure, can be provided in the surface of the supporting board 16.

[0023]Drawing 5 shows the semiconductor package 40 similarly called a pin grid array (PGA), and the pin 44 is formed in the undersurface circumference part of the insulating housing 42 in this example. Other composition is the same as that of the semiconductor package 40 of drawing 4. Therefore, the semiconductor package 40 turns the supporting board 16 outside, and is inserted in the upper row circles of the insulating housing 42, The semiconductor device 10 is attached to the insulating housing 42 by contacting the metal bump 22 of the semiconductor device 10, and the metal bump 50 of the insulating housing 42 (flip chip junction).

[0024]Drawing 6 shows the semiconductor package 40 called the Leadlay SUCHIPPU carrier (LCP). In this example, the terminal 50 is formed in the side of the insulating housing 42. Other composition is the same as that of the semiconductor package 40 of drawing 4. Therefore, the semiconductor package 40 turns the supporting board 16 outside, and is inserted in the upper row circles of the insulating housing 42, The semiconductor device 10 is attached to the insulating housing 42 by contacting the metal bump 22 of the semiconductor device 10, and the metal bump 50 of the insulating housing 42 (flip chip junction).

[0025]It is \*\*\*\*\* to attach two or more gallium arsenide boards 14 to the one silicon substrate 12 in each above-mentioned work example. Or two or more semiconductor substrates can be attached as the 2nd semiconductor substrate to the 1st semiconductor substrate. In this case, two or more semiconductor substrates may be a thing of the same kind or a thing of a different kind as the 2nd semiconductor substrate. Thus, the degree of mounting can be made high.

[0026]

[Effect of the Invention]As explained above, according to this invention, it can be providing the semiconductor device and semiconductor package which do not have curvature between thermal excursions and which can operate certainly combining two semiconductor substrates from which material differed.

---

#### [Brief Description of the Drawings]

[Drawing 1]It is a perspective view showing the semiconductor device of the work example of this invention.

[Drawing 2]It is a figure showing a manufacturing process for the semiconductor device of drawing 1.

[Drawing 3]It is an exploded perspective view showing the semiconductor package containing the semiconductor device of drawing 1.

[Drawing 4]It is a semiconductor package \*\*\*\* sectional view of drawing 4.

[Drawing 5]It is a sectional view showing other examples of a semiconductor package.

[Drawing 6] It is a sectional view showing the example of further others of a semiconductor package.

[Explanations of letters or numerals]

12 -- Silicon substrate

14 -- Gallium arsenide board

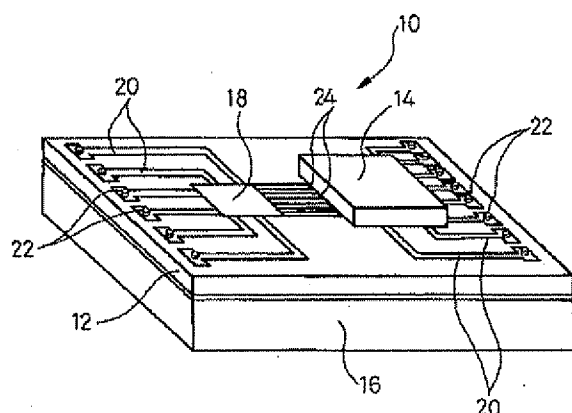
16 -- Supporting board

18 -- Electronic parts

22, 24 -- Bump

[Drawing 1]

本発明の実施例を示す図



12...シリコン基板  
14...ガリウム砒素基板  
16...支持基板  
18...電子部品  
22, 24...バンプ

[Drawing 3]

図1の半導体装置を含む半導体パッケージを示す図

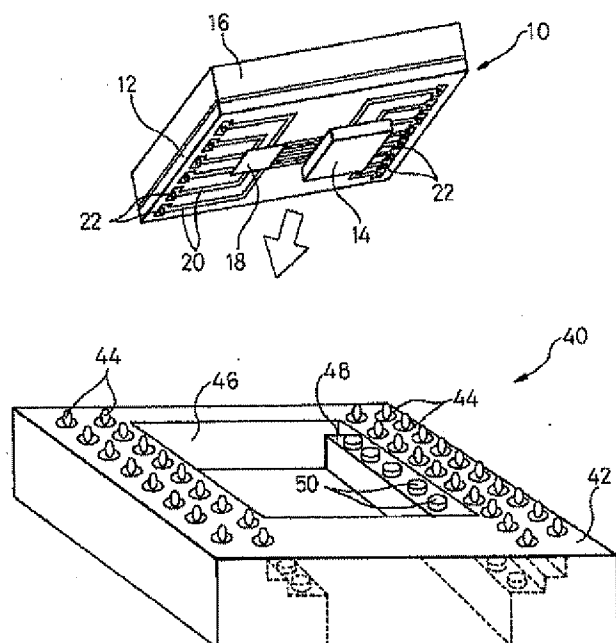
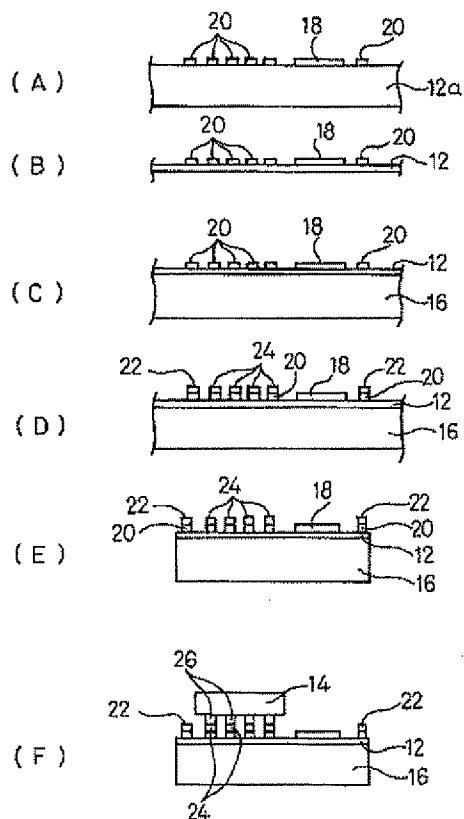
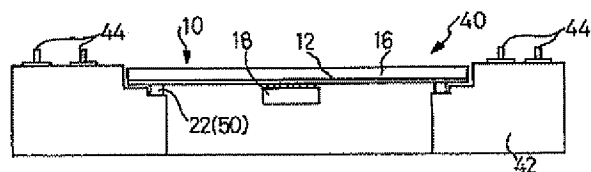
**[Drawing 2]**

図1の半導体装置の製造工程を示す図

**[Drawing 4]**

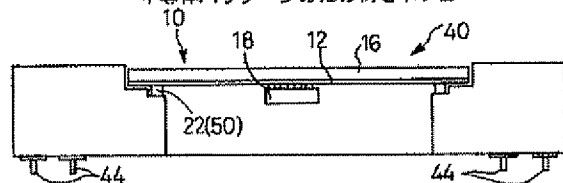


半導体パッケージを示す図



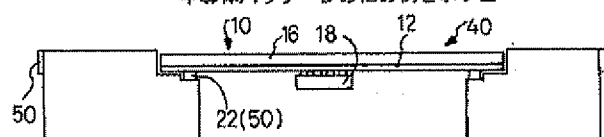
[Drawing 5]

半導体パッケージの他の例を示す図



[Drawing 6]

半導体パッケージの他の例を示す図



[Translation done.]